

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日            2 0 0 2 年 1 1 月    5 日  
Date of Application:

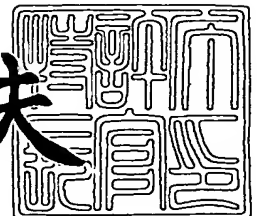
出 願 番 号            特 願 2 0 0 2 - 3 2 1 3 2 5  
Application Number:  
[ST. 10/C]:            [ J P 2 0 0 2 - 3 2 1 3 2 5 ]

出      願      人            富 士 通 株 式 会 社  
Applicant(s):

2 0 0 3 年    7 月 2 4 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康 夫



出証番号    出証特 2 0 0 3 - 3 0 5 8 8 8 8

【書類名】 特許願

【整理番号】 0241121

【提出日】 平成14年11月 5日

【あて先】 特許庁長官殿

【国際特許分類】 G11C 7/10

【発明の名称】 半導体記憶装置

【請求項の数】 7

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社内

【氏名】 江渡 聡

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社内

【氏名】 中村 俊和

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社内

【氏名】 三代 俊哉

【特許出願人】

【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【代理人】

【識別番号】 100092152

【弁理士】

【氏名又は名称】 服部 毅巖

【電話番号】 0426-45-6644

## 【手数料の表示】

【予納台帳番号】 009874

【納付金額】 21,000円

## 【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9705176

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体記憶装置

【特許請求の範囲】

【請求項 1】 データを動的に保持するメモリコアを有する半導体記憶装置において、

スタンバイ状態及び非スタンバイ状態を制御するイネーブル信号を入力する第 1 のバッファ回路と、

前記イネーブル信号に応じて、所定のロジック信号もしくはメモリコアのデータの読み出し及び書き込みを制御するリードーライト信号を出力する第 2 のバッファ回路と、

前記イネーブル信号に応じて、前記ロジック信号を反転した反転信号もしくは前記リードーライト信号を出力する第 3 のバッファ回路と、

前記第 2 のバッファ回路から出力される前記ロジック信号もしくは前記リードーライト信号によって、前記データの読み出し及び書き込みを制御するコントロール回路と、

前記第 3 のバッファ回路から出力される前記反転信号もしくは前記リードーライト信号によって、前記データの外部との入出力を制御するデータ出力コントロール回路と、

を有することを特徴とする半導体記憶装置。

【請求項 2】 前記第 2 のバッファ回路は、前記スタンバイ状態を制御するイネーブル信号が入力されているとき、前記ロジック信号を出力することを特徴とする請求項 1 記載の半導体記憶装置。

【請求項 3】 前記第 2 のバッファ回路は、前記非スタンバイ状態を制御するイネーブル信号が入力されているとき、前記リードーライト信号を出力することを特徴とする請求項 1 記載の半導体記憶装置。

【請求項 4】 前記第 3 のバッファ回路は、前記スタンバイ状態を制御するイネーブル信号が入力されているとき、前記反転信号を出力すること特徴とする請求項 1 記載の半導体記憶装置。

【請求項 5】 前記第 3 のバッファ回路は、前記非スタンバイ状態を制御す

るイネーブル信号が入力されているとき、前記リードーライト信号を出力することとを特徴とする請求項 1 記載の半導体記憶装置。

【請求項 6】 前記第 2 のバッファ回路及び前記第 3 のバッファ回路は、隣接していることを特徴とする請求項 1 記載の半導体記憶装置。

【請求項 7】 前記第 2 のバッファ回路及び前記第 3 のバッファ回路は、同時に活性化及び非活性化されることを特徴とする請求項 1 記載の半導体記憶装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は半導体記憶装置に関し、特にデータを動的に保持するメモリコアを有する半導体記憶装置に関する。

【0 0 0 2】

【従来の技術】

P S R A M (Pseudo-RAM) は、メモリコア (セル) に D R A M (Dynamic RAM) コアを用いているが、インターフェースを S R A M (Static RAM) 方式にした半導体メモリである。

【0 0 0 3】

P S R A M は、メモリコアに D R A M 構造を用いているので、S R A M に比べ低コストで製造できる。しかし、D R A M のメモリコアは、S R A M のメモリコアと異なり、データ保持時間が有限であるため、リフレッシュと呼ばれるデータ再書き込み動作が必要である。また、破壊読出し方式のため D R A M メモリコアは、その制御に S R A M にはない特別な配慮が必要である。従来の P S R A M では、これらの配慮を全て行いつつ、S R A M インターフェースと互換性を保つことは困難であった。従って P S R A M には、一般の S R A M には無い様々な動作上の制約が設けられていた。このことから、P S R A M は、低コストであるにも関わらず、その制約のため、使用場面が限られてしまい、ユーザ及びメーカにとって、有効なものとはいえない。従って、制約を排して、S R A M と互換インターフェースを持つ P S R A M を実現する必要が生じてきた。

**【0 0 0 4】**

P S R A M に、F C R A M (登録商標) というものがある。F C R A M の仕様で、一般の S R A M に無い制約の一例として以下の点がある。F C R A M は、スタンバイ状態 (データのリード・ライトができない状態、非活性状態) にあるとき、アドレス端子や、チップイネーブル端子、リード・ライト端子などのコントロール端子に、所定の電圧を入力しなければならない。

**【0 0 0 5】**

これに対し、一般的な S R A M では、チップイネーブル端子にのみ、入力すべき電圧が指定され、その他の端子に対しては、電圧が指定されない。

そこで、上記の P S R A M の制約を排除するには、所定の信号 (電圧) 状態を保持して内部に出力する回路を設けることによって、スタンバイ時に、外部から電圧を入力するという制約を排除することが可能となる。図 7 は、従来の P S R A M の回路構成図である。図 7 に示すように、P S R A M は、バッファ回路 6 1 a ~ 6 1 n、バッファ回路 6 2 a ~ 6 2 n、コントロール端子である端子 / C E 1、端子 C E 2、端子 / W E ~ 端子 / L B、アドレス端子である端子 A 0 ~ 端子 A n、及び O R 回路 Z 2 を有している。

**【0 0 0 6】**

バッファ回路 6 1 a、6 1 b は、端子 / C E 1、端子 C E 2 に入力される信号を、P S R A M 内部の回路を駆動できるようにドライブ (増幅) する。

バッファ回路 6 1 c ~ 6 1 n は、バッファ回路 6 1 a、6 1 b に入力される信号の状態に応じて (O R 回路 Z 2 から出力される信号の状態に応じて)、端子 / W E ~ 端子 / L B に入力される信号を、P S R A M 内部の回路を駆動できるようにドライブする。バッファ回路 6 2 a ~ 6 2 n は、O R 回路 Z 2 から出力される信号が 'L' 状態のとき、端子 A 0 ~ A n に入力される信号をドライブする。

**【0 0 0 7】**

端子 / C E 1、端子 C E 2 は、P S R A M をスタンバイ状態及び非スタンバイ状態 (活性化、非活性化) にするための信号が入力される端子である。端子 / C E 1 端子に 'H' 状態の信号が入力される、もしくは端子 C E 2 に 'L' 状態の信号が入力されると、P S R A M は、スタンバイ状態となる。

**【0008】**

端子／WEは、データのリード、ライトを制御するための信号が入力される端子である。端子／WEに‘L’状態の信号が入力されると、PSRAMは、データの書き込みが可能な状態となる。端子／WEに‘H’状態の信号が入力されると、PSRAMは、記憶していたデータを出力する。

**【0009】**

端子／LBは、出力（リード）するデータのデータ幅を制御（バイト制御）する信号が入力される端子である。例えば、端子／LBに‘L’状態の信号が入力されると、データの下位8ビットのみが出力される。

**【0010】**

端子A0～端子Anは、データを書き込む（ライト）アドレス、データを読み出す（リード）アドレス信号が入力される端子である。

OR回路Z2は、バッファ回路61a、61bから出力される信号のOR演算を行い、バッファ回路61c～61n、バッファ回路62a～62nに出力する。OR回路Z2は、バッファ回路61aから‘L’状態の信号、バッファ回路61bから‘H’状態の信号を入力したとき（非スタンバイ状態のとき）、‘L’状態の信号を出力する。

**【0011】**

PSRAMは、端子／CE1に‘H’状態の信号、又は端子CE2に‘L’状態の信号が入力されるとスタンバイ状態となる。このとき、PSRAMは、端子／WEに‘H’状態、及び‘L’状態の信号が入力されても、データのリード・ライトを行わない。これは、OR回路Z2から‘H’状態の信号が出力され、バッファ回路61c～61n、バッファ回路62a～62nは、信号をドライブしないためである。

**【0012】**

PSRAMは、端子／CE1に‘L’状態の信号、端子CE2に‘H’状態の信号が入力されると非スタンバイ状態となる。OR回路Z2からは、‘L’状態の信号が出力され、バッファ回路61c～61n、バッファ回路62a～62nは、ドライブ可能状態となる。PSRAMは、このとき、端子／WEに‘H’状

態、及び‘L’状態の信号が入力されることによって、データのリード・ライトを行う。P S R A Mは、端子A 0～A nに入力されているアドレス信号で示されるアドレスのデータのリード・ライトを行う。

#### 【0 0 1 3】

図8は、バッファ回路の詳細を示した回路図である。図8に示すように、バッファ回路6 1 aは、PチャネルのMOSトランジスタであるトランジスタQ 1 5，Q 1 7、NチャネルのMOSトランジスタであるトランジスタQ 1 6，Q 1 8を有している。トランジスタQ 1 5，Q 1 6、トランジスタQ 1 7，Q 1 8は、インバータ回路を構成している。なお、バッファ回路6 1 bは、バッファ回路6 1 aと同じ構成を有しその詳細な説明は省略する。

#### 【0 0 1 4】

バッファ回路6 1 cは、PチャネルのMOSトランジスタであるトランジスタQ 2 3，Q 2 4，Q 2 7、NチャネルのMOSトランジスタであるトランジスタQ 2 5，Q 2 6，Q 2 8を有している。トランジスタQ 2 4，Q 2 5，トランジスタQ 2 7，2 8は、インバータ回路を構成している。トランジスタQ 2 3は、OR回路Z 2から、‘L’状態の信号が入力されると、トランジスタQ 2 4，Q 2 5から構成されているインバータ回路に電源V d dを供給し、動作可能状態とする。トランジスタQ 2 6は、OR回路Z 2から、‘H’状態の信号が入力されると、グラウンドの電圧（‘L’状態の信号）を、トランジスタQ 2 7，Q 2 8から構成されているインバータ回路に出力する。なお、図に示してないが、バッファ回路6 1 d～6 1 n、バッファ回路6 2 a～6 2 nは、バッファ回路6 1 cと同様の回路構成を有する。

#### 【0 0 1 5】

すなわち、P S R A Mがスタンバイ状態にあるとき、コントロール端子の端子／WE～端子／LB及びアドレス端子の端子A 0～端子A nに入力されている信号の状態に関わらず、バッファ回路6 1 c～6 1 n，バッファ回路6 2 a～6 2 nからは、‘H’状態の固定された信号がP S R A Mの内部に出力される。これにより、P S R A Mがスタンバイ状態時にあるとき、コントロール端子、及びアドレス端子に電圧を入力することが不要となり、制約を排した、S R A Mと互換



インターフェースを持つ P S R A M を実現することができる。

#### 【0 0 1 6】

ところで、バッファ回路を使用した半導体集積回路として、外部制御信号クロックが動作しているか否かを検知する検知回路と、外部制御信号クロックを受け取り、検知回路の検知結果によって、内部制御信号を出力する入力バッファを具備した半導体集積回路がある（例えば、特許文献 1 参照）。

#### 【0 0 1 7】

##### 【特許文献 1】

特開平 1 1 - 3 1 7 0 7 6 号公報（第 2 - 3 頁、第 1 図）

#### 【0 0 1 8】

##### 【発明が解決しようとする課題】

ところで、端子／C E 1、端子 C E 2 に入力される信号は、バッファ回路 6 1 a、6 1 b、及び O R 回路 Z 2 を介して、バッファ回路 6 1 c ~ 6 1 n、バッファ回路 6 2 a ~ 6 2 n に入力される。端子／C E 1、端子 C E 2 に入力された信号は、バッファ回路 6 1 a、6 1 b、及び O R 回路 Z 2 によって遅延し、バッファ回路 6 1 c ~ 6 1 n、バッファ回路 6 2 a ~ 6 2 n に出力される。そのため、バッファ回路 6 2 c によってドライブされ出力される、端子／W E に入力されている信号は遅延される。さらには、バッファ回路 6 2 c 自身によっても遅延される。なお、実際は、図に示していないが、トランジスタ以外に、信号のグリッチなどをフィルタリングするために挿入される遅延素子などによって、信号の遅延は、さらに大きくなる。

#### 【0 0 1 9】

図 9 は、P S R A M 内部のタイミングチャートを示した図である。図 9 に示す波形 C 1 は、端子／C E 1 に入力されている信号波形を示している。波形 C 2 は、端子 C E 2 に入力されている信号波形を示している。波形 C 3 は、端子／W E に入力されている信号波形を示している。波形 C 4 は、O R 回路 Z 2 から出力されている信号波形を示している。波形 C 5 は、バッファ回路 6 1 c から出力される信号波形を示している。

#### 【0 0 2 0】

波形 C 1, C 2 に示すように、端子／C E 1 に、‘H’ 状態、端子 C E 2 に ‘H’ 状態の信号が入力されたとする（P S R A M はスタンバイ状態）。バッファ回路 6 1 a, 6 1 b、及び O R 回路 Z 2 によって、O R 回路 Z 2 から出力される信号の状態遷移は、波形 C 4 に示すように、端子／C E 1 に入力される信号の状態遷移より遅延する。そして、波形 C 5 に示すように、バッファ回路 6 2 c から出力される信号の遷移は、バッファ回路 6 2 c 自身によって遅延する。

#### 【 0 0 2 1 】

スタンバイ状態から非スタンバイ状態に遷移したとき（端子／C E 1 に入力されている信号が ‘L’ 状態に遷移したとき）、波形 C 3 に示すように、データを書き込むための ‘L’ 状態の信号が端子／W E に入力されていると、波形 C 5 に示すように遅れて ‘L’ 状態の信号が P S R A M の内部に出力される。

#### 【 0 0 2 2 】

このため、スタンバイ状態から非スタンバイ状態に遷移したとき、P S R A M の外部では、データの書き込み動作が行われているにもかかわらず、P S R A M 内部では、信号の遅延によって、波形 C 5 に示すように、リード動作をしてしまい、データ衝突が生じてしまうという問題点があった。

#### 【 0 0 2 3 】

本発明はこのような点に鑑みてなされたものであり、スタンバイ状態から非スタンバイ状態に遷移したときのデータ衝突を防止する半導体記憶装置を提供することを目的とする。

#### 【 0 0 2 4 】

##### 【課題を解決するための手段】

本発明では上記課題を解決するために、図 1 に示すような、データを動的に保持するメモリコアを有する半導体記憶装置において、スタンバイ状態及び非スタンバイ状態を制御するイネーブル信号を入力する第 1 のバッファ回路 1 と、イネーブル信号に応じて、所定のロジック信号もしくはメモリコア 5 のデータの読み出し及び書き込みを制御するリード・ライト信号を出力する第 2 のバッファ回路 2 と、イネーブル信号に応じて、ロジック信号を反転した反転信号もしくはリード・ライト信号を出力する第 3 のバッファ回路 3 と、第 2 のバッファ回路 2 から

出力されるリード・ライト信号によって、データの読み出し及び書き込みを制御するコントロール回路 4 と、第 3 のバッファ回路 3 から出力される反転信号もしくはリード・ライト信号によって、データの外部との入出力を制御するデータ出力コントロール回路 6 と、を有することを特徴とする半導体記憶装置が提供される。

#### 【0 0 2 5】

このような、半導体記憶装置によれば、メモリコア 5 のデータの読み出し及び書き込みを制御するコントロール回路 4 に入力される所定のロジック信号と反転した反転信号によって、外部とのデータの入出力を制御する。これにより、外部からの書き込みデータと、メモリコア 5 からの読み出しデータが衝突することがない。

#### 【0 0 2 6】

##### 【発明の実施の形態】

以下、本発明の実施の形態を図面を参照して説明する。

図 1 は、本発明の原理図である。図に示すように、半導体記憶装置は、第 1 のバッファ回路 1、第 2 のバッファ回路 2、第 3 のバッファ回路 3、コントロール回路 4、メモリコア 5、データ出力コントロール回路 6、端子／C E、端子／W E、及び端子 D 0 ～D n を有している。

#### 【0 0 2 7】

端子／C E には、半導体記憶装置をスタンバイ状態、非スタンバイ状態に制御するためのイネーブル信号が入力される。端子／W E には、データの読み出し、書き込みを制御するためのリード・ライト信号が入力される。端子 D 0 ～D n には、外部から記憶すべきデータが入力され、又はメモリコア 5 に記憶されているデータが出力される。

#### 【0 0 2 8】

第 1 のバッファ回路 1 は、端子／C E からイネーブル信号を入力する。第 1 のバッファ回路 1 は、入力したイネーブル信号を第 2 のバッファ回路 2、第 3 のバッファ回路 3、及びコントロール回路 4 に出力する。

#### 【0 0 2 9】

第2のバッファ回路2は、第1のバッファ回路1から出力されるイネーブル信号に応じて、所定のロジック信号もしくは端子／WEに入力されるリード・ライト信号をコントロール回路4に出力する。具体的には、スタンバイ状態を制御するイネーブル信号が入力されると、第2のバッファ回路2は、そのイネーブル信号が入力されている間、‘H’状態又は‘L’状態の一定のロジック信号を出力する。非スタンバイ状態を制御するイネーブル信号が入力されると、リード・ライト信号を出力する。

#### 【0030】

第3のバッファ回路3は、第2のバッファ回路2が出力しているロジック信号と反転した反転信号もしくは端子／WEに入力されるリード・ライト信号をデータ出力コントロール回路6に出力する。具体的には、第3のバッファ回路3は、スタンバイ状態を制御するイネーブル信号が入力されると、第2のバッファ回路2が出力しているロジック信号と反転した反転信号を出力する。非スタンバイ状態を制御するイネーブル信号が入力されると、リード・ライト信号を出力する。

#### 【0031】

コントロール回路4は、第1のバッファ回路1から出力されるイネーブル信号及び第2のバッファ回路から出力されるリード・ライト信号に従って、メモリコア5のデータの読み出し、書き込みを制御する。

#### 【0032】

メモリコア5は、データを動的に保持するDRAM構造のメモリコアである。

データ出力コントロール回路6は、第3のバッファ回路から出力される反転信号もしくはリード・ライト信号に応じて、データの外部との入出力を制御する。例えば、データの書き込みであるライト信号を入力すると、端子D0～Dnに入力されたデータをメモリコア5に出力する。データの読み出しであるリード信号を入力するとメモリコア5のデータを端子D0～Dnに出力する。

#### 【0033】

以下、原理図の動作について説明する。

非スタンバイ状態のイネーブル信号が端子／CEに入力されたとする。第1のバッファ回路1は、このイネーブル信号を第2のバッファ回路2、第3のバッフ

ァ回路 3、及びコントロール回路 4 に出力する。

【0 0 3 4】

第 2 のバッファ回路 2 は、非スタンバイ状態を制御するためのイネーブル信号によって、端子／WE に入力されるリードーライト信号をコントロール回路 4 に出力する。

【0 0 3 5】

第 3 のバッファ回路 3 は、非スタンバイ状態を制御するためのイネーブル信号によって、端子／WE に入力されているリードーライト信号をデータ出力コントロール回路 6 に出力する。

【0 0 3 6】

これにより、非スタンバイ状態では、端子／WE に入力されるリードーライト信号に従って、メモリコア 5 からデータが入出力され、データ出力コントロール回路 6 によって、データの外部との入出力が制御される。

【0 0 3 7】

端子／CE にスタンバイ状態を制御するためのイネーブル信号が入力されると、第 2 のバッファ回路 2 は、スタンバイ状態を制御するためのイネーブル信号によって、所定のロジック信号をコントロール回路 4 に出力する。これにより、スタンバイ状態時に、端子から所定の電圧を入力する必要がなく、一般の S R A M のインターフェースと同様のインターフェースを持つことができる。

【0 0 3 8】

第 3 のバッファ回路 3 は、第 2 のバッファ回路 2 から出力されているロジック信号を反転した反転信号をデータ出力コントロール回路 6 に出力する。

ここで、スタンバイ状態時に、第 2 のバッファ回路 2 から出力されるロジック信号が、リード信号に相当するとする。そして、半導体記憶装置外部では、非スタンバイ状態に制御が遷移し、端子／CE に非スタンバイ状態を制御するイネーブル信号、端子／WE にライト信号が入力されたとする。このとき、半導体記憶装置の外部では、データのライト動作が行われている。しかし、第 1 のバッファ回路 1 によるイネーブル信号の遅延によって、さらには、第 2 のバッファ回路 2 自身の遅延によって、コントロール回路 4 へのライト信号の出力が遅れ、コント

ロール回路 4 には、リード信号が入力される。そのため、メモリコア 5 からリードデータが出力され、外部のライトデータとのバスファイト（データの衝突）が生じる恐れがある。ところが、データ出力コントロール回路 6 に、リード信号を反転したライト信号が入力されているので、メモリコア 5 のリードデータは、端子 D 0 ~ D n に出力されない。これにより、信号遅延によるバスファイトを防止することができる。

#### 【 0 0 3 9 】

次に、本発明の実施の形態を図面を参照して説明する。

図 2 は、本発明の実施の形態に係る P S R A M の回路構成図である。図に示すように、P S R A M は、制御端子群 T 1、アドレス端子群 T 2、データ端子群 T 3、バッファ回路部 1 0、2 0、データ出力コントロール回路 3 0、コントロール回路 4 0、メモリコア 5 0 を有している。

#### 【 0 0 4 0 】

制御端子群 T 1 は、スタンバイ状態及び非スタンバイ状態を指定するための信号や、データのリード・ライトを制御する信号などの制御に関する制御信号が入力される端子群である。

#### 【 0 0 4 1 】

アドレス端子群 T 2 は、リード・ライトするデータのアドレスを指定するアドレスデータが入力される端子群である。

データ端子群 T 3 は、外部からのデータを入力し及び外部にデータを出力するための端子群である。

#### 【 0 0 4 2 】

バッファ回路部 1 0 は、制御端子群 T 1 に入力される制御信号をドライブする回路群である。

バッファ回路部 2 0 は、アドレス端子群 T 2 に入力されるアドレスデータをドライブする回路群である。

#### 【 0 0 4 3 】

データ出力コントロール回路 3 0 は、制御端子群 T 1 に入力される制御信号に応じて、メモリコア 5 0 とデータ端子群 T 3 間のデータの通過及び遮断を制御す

る回路である。

#### 【0044】

コントロール回路40は、制御端子群T1に入力された制御信号に応じて、メモリコア50のデータの入出力を制御する回路である。

メモリコア50は、データを動的に保持するDRAM構造のメモリコアである。メモリコア50は、コントロール回路40の制御に従って、データを記憶し及び記憶したデータを出力する。

#### 【0045】

図3は、図2の制御端子群、アドレス端子群、及びバッファ回路部の一部詳細を示した回路図である。図3に示す端子／CE1、端子CE2、端子／WE、及び端子／LBは、図2で示した制御端子群T1に対応する。端子A0～Anは、図2で示したアドレス端子群T2に対応する。バッファ回路11a～11nは図2で示したバッファ回路部10に対応する。バッファ回路21a～21nは、図2で示したバッファ回路部20に対応する。

#### 【0046】

端子／CE1、端子CE2は、PSRAMをスタンバイ状態及び非スタンバイ状態にするためのイネーブル信号が入力される端子である。端子／CE1に‘H’状態が入力される、もしくは端子CE2に‘L’状態が入力されると、PSRAMは、スタンバイ状態となる。

#### 【0047】

端子／WEは、メモリコア50に対するデータの書き込み、読み出しを制御するためのリード・ライト信号が入力される端子である。端子／WEに‘L’状態が入力されると、メモリコア50にデータが書き込まれ、‘H’状態が入力されると、メモリコア50から記憶していたデータが出力される。

#### 【0048】

端子／LBは、出力するデータのデータ幅を制御（バイト制御）する信号が入力される端子である。例えば、端子／LBに‘L’状態の信号が入力されると、データの下位8ビットのみの信号がメモリコア50から出力される。

#### 【0049】

端子 A 0 ～ 端子 A n は、メモリコア 5 0 にデータを書き込むアドレス信号、メモリコア 5 0 から読み出すデータのアドレス信号が入力される端子である。

バッファ回路 1 1 a, 1 1 b は、端子 / C E 1, C E 2 に入力されるイネーブル信号を、コントロール回路 4 0 を駆動できるようにドライブする。バッファ回路 1 1 a, 1 1 b から出力される信号は、コントロール回路 4 0 に入力される。また、バッファ回路 1 1 a, 1 1 b から出力される信号は、OR 回路 Z 1 を介して、バッファ回路 1 1 c ～ 1 1 n, 2 1 a ～ 2 1 n に入力される。

#### 【 0 0 5 0 】

OR 回路 Z 1 は、バッファ回路 1 1 a, 1 1 b から出力される信号の OR 演算を行い、バッファ回路 1 1 c ～ 1 1 n, 2 1 a ～ 2 1 n に出力する。OR 回路 Z 1 は、バッファ回路 1 1 a から ‘L’ 状態の信号、バッファ回路 1 1 b から ‘H’ 状態の信号を入力して、L’ 状態の信号を出力する。すなわち、非スタンバイ状態のとき、OR 回路 Z 1 は、‘L’ 状態の信号を出力する。スタンバイ状態のとき、OR 回路 Z 1 は、‘H’ 状態の信号を出力する。

#### 【 0 0 5 1 】

バッファ回路 1 1 c ～ 1 1 n (バッファ回路 1 1 d を除く) は、バッファ回路 1 1 a, 1 1 b に入力される信号の状態に応じて (OR 回路 Z 1 から出力される信号の状態に応じて)、端子 / W E ～ 端子 / L B に入力される信号を、コントロール回路 4 0 を駆動できるようにドライブしてコントロール回路 4 0 に出力する。バッファ回路 1 1 c ～ 1 1 n は (バッファ回路 1 1 d を除く)、OR 回路 Z 1 から ‘L’ 状態の信号が出力されると、端子 / W E ～ 端子 / L B に入力される信号をドライブして出力する。‘H’ 状態の信号が入力されると、端子 / W E ～ 端子 / L B に入力される信号状態にかかわらず、‘H’ 状態の信号を出力する。

#### 【 0 0 5 2 】

バッファ回路 1 1 d は、OR 回路 Z 1 から ‘L’ 状態の信号が出力されると、端子 / W E に入力される信号をドライブしてデータ出力コントロール回路 3 0 に出力する。‘H’ 状態の信号が入力されると、端子 / W E に入力される信号状態にかかわらず、‘L’ 状態の信号をデータ出力コントロール回路 3 0 に出力する。なお、データ出力コントロール回路 3 0 は、‘H’ 状態の信号を入力するとメ



メモリコア50から出力されているデータを端子D0～Dnに出力するが、‘L’状態の信号を入力するとメモリコア50から出力されているデータを端子D0～Dnに出力しない。

**【0053】**

バッファ回路21a～21nは、バッファ回路11a, 11bに入力される信号の状態に応じて（OR回路Z1から出力される信号状態に応じて）、端子A0～端子Anに入力される信号を、メモリコア50へ出力する。バッファ回路21a～21nは、OR回路Z1から‘L’状態の信号が出力されると、端子A0～Anに入力される信号をドライブしてメモリコア50に出力する。OR回路Z1から‘H’状態の信号が出力されると、端子A0～端子Anに入力されている信号状態にかかわらず、‘H’状態の信号をメモリコア50に出力する。

**【0054】**

図4は、バッファ回路の詳細を示した回路図である。図に示すように、バッファ回路11cは、PチャネルのMOSトランジスタであるトランジスタQ1, Q2, Q5を有している。NチャネルのMOSトランジスタであるトランジスタQ3, Q4, Q6を有している。なお、図に示すノードND1は、図3で示したOR回路Z1の出力と接続されている。

**【0055】**

トランジスタQ1のゲートは、ノードND1と接続されている。トランジスタQ1のソースは、電源Vddに接続されている。

トランジスタQ2, Q3は、インバータ回路を構成している。トランジスタQ2, Q3のゲートは、端子WEと接続されている。トランジスタQ2のソースは、トランジスタQ1のドレインと接続されている。

**【0056】**

トランジスタQ4のゲートは、ノードND1と接続されている。トランジスタQ4のドレインは、トランジスタQ2, Q3のドレインと接続されている。トランジスタQ4のソースは、グランドと接続されている。

**【0057】**

トランジスタQ5, Q6は、インバータ回路を構成している。トランジスタQ

5, Q 6 のゲートは、トランジスタ Q 2 ~ Q 4 のドレインと接続されている。トランジスタ Q 5, Q 6 のドレインは、コントロール回路 4 0 に接続されている。

【0 0 5 8】

これにより、ノード ND 1 が 'L' 状態のとき、すなわち非スタンバイ状態のとき、トランジスタ Q 1 はオンし、トランジスタ Q 2, Q 3 は動作状態になる。トランジスタ Q 2, Q 3 は、端子 / WE に入力されている信号を反転して、トランジスタ Q 5, Q 6 に出力する。トランジスタ Q 5, Q 6 は、さらに信号を反転して、コントロール回路 4 0 へ出力する。

【0 0 5 9】

ノード ND 1 が 'H' 状態のとき、すなわちスタンバイ状態のとき、トランジスタ Q 1 はオフし、トランジスタ Q 2, Q 3 は動作しない。トランジスタ Q 4 はオンし、トランジスタ Q 5, Q 6 のゲートは、グラウンドに接続される。トランジスタ Q 5, Q 6 は、'L' 状態の信号を反転して、'H' 状態の信号を出力する。

【0 0 6 0】

すなわち、非スタンバイ状態を指定するイネーブル信号が端子 / CE 1、端子 CE 2 に入力されると、バッファ回路 1 1 c は、端子 / WE に入力される信号をドライブして、コントロール回路 4 0 に出力する。

【0 0 6 1】

逆に、スタンバイ状態を指定するイネーブル信号が端子 / CE 1、端子 CE 2 に入力されると、バッファ回路 1 1 c は、端子 / WE に入力される信号状態にかかわらず、'H' 状態の信号をコントロール回路 4 0 に出力する。これにより、スタンバイ状態時に端子 / WE から電圧指定することが不要となる。

【0 0 6 2】

バッファ回路 1 1 d は、P チャネルの MOS トランジスタ Q 7, Q 1 0, Q 1 2, Q 1 3、N チャネルの MOS トランジスタ Q 8, Q 9, Q 1 1, Q 1 4 を有している。

【0 0 6 3】

トランジスタ Q 7, Q 8 は、インバータ回路を構成している。トランジスタ Q

7, Q 8 のゲートは、ノードND 1 に接続されている。

トランジスタQ 9 のゲートは、トランジスタQ 7, Q 8 のドレインと接続されている。トランジスタQ 9 のソースは、グラウンドと接続されている。

【0 0 6 4】

トランジスタQ 1 0, Q 1 1 は、インバータ回路を構成している。トランジスタQ 1 0, Q 1 1 のゲートは、端子／WE と接続されている。トランジスタQ 1 0 のソースは、電源V d d に接続されている。トランジスタQ 1 1 のソースは、トランジスタQ 9 のドレインに接続されている。

【0 0 6 5】

トランジスタQ 1 2 のゲートは、トランジスタQ 7, Q 8 のドレインと接続されている。トランジスタQ 1 2 のソースは、電源V d d と接続されている。トランジスタQ 1 2 のドレインは、トランジスタQ 1 0, Q 1 1 のドレインと接続されている。

【0 0 6 6】

トランジスタQ 1 3, Q 1 4 は、インバータ回路を構成している。トランジスタQ 1 3, Q 1 4 のゲートは、トランジスタQ 1 0, Q 1 1 のドレインと接続されている。また、トランジスタQ 1 2 のドレインと接続されている。トランジスタQ 1 3, Q 1 4 のドレインは、データ出力コントロール回路3 0 に接続されている。

【0 0 6 7】

これにより、ノードND 1 が ‘L’ 状態のとき、すなわち非スタンバイ状態のとき、トランジスタQ 9 はオンし、トランジスタQ 1 0, Q 1 1 は動作状態になる。トランジスタQ 1 0, Q 1 1 は、端子／WE に入力されている信号を反転して、トランジスタQ 1 3, Q 1 4 に出力する。トランジスタQ 1 3, Q 1 4 は、さらに信号を反転して、データ出力コントロール回路3 0 へ出力する。

【0 0 6 8】

ノードND 1 が ‘H’ 状態のとき、すなわちスタンバイ状態のとき、トランジスタQ 9 はオフし、トランジスタQ 1 0, Q 1 1 は動作しない。トランジスタQ 1 2 はオンし、トランジスタQ 1 3, Q 1 4 のゲートは、電源V d d に接続され

る。トランジスタQ13, Q14は、‘H’状態の信号を反転して、‘L’状態の信号を出力する。

#### 【0069】

すなわち、非スタンバイ状態を指定するイネーブル信号が端子／CE1、端子CE2に入力されると、バッファ回路11dは、端子／WEに入力される信号をドライブして、データ出力コントロール回路30に出力する。

#### 【0070】

逆に、スタンバイ状態を指定するイネーブル信号が端子／CE1、端子CE2に入力されると、バッファ回路11dは、端子／WEに入力される信号状態にかかわらず、‘L’状態の信号をデータ出力コントロール回路30に出力する。よって、スタンバイ状態にあるときは、バッファ回路11dは、バッファ回路11cが出力している信号状態と反転した‘L’状態の信号をコントロール回路40に出力する。

#### 【0071】

以下、タイミングチャートを用いて、PSRAMの動作について説明する。

図5は、ライト時におけるPSRAM内部のタイミングチャートを示した図である。波形A1は、端子／CE1に入力されている信号波形を示す。波形A2は、端子CE2に入力されている信号波形を示す。波形A3は、端子／WEに入力されている信号波形を示す。波形A4は、ノードND1の信号状態を示す。波形A5は、バッファ回路11cから出力される信号波形を示す。波形A6は、バッファ回路11dから出力される信号波形を示す。

#### 【0072】

波形A1, A2に示すように、端子／CE1に‘L’状態の信号、端子CE2に‘H’状態の信号が入力されていると、PSRAMは、非スタンバイ状態である。このとき、ノードND1（OR回路Z1の出力）の信号状態は、波形A4に示すように、‘L’状態となる。

#### 【0073】

ノードND1が‘L’状態より、バッファ回路11cのトランジスタQ1はオンし、トランジスタQ4はオフする。よって、バッファ回路11cは、端子／W

Eに入力される信号状態を出力する。波形A3に示すように、端子／WEには、  
‘L’状態の信号が入力されているので、バッファ回路11cは、波形A5に示すように、‘L’状態の信号を出力する。

**【0074】**

ノードND1が‘L’状態より、バッファ回路11dのトランジスタQ9はオンし、トランジスタQ12はオフする。よって、バッファ回路11dは、端子／WEに入力される信号状態を出力する。波形A3に示すように、端子／WEには、  
‘L’状態の信号が入力されているので、バッファ回路11dは、波形A6に示すように、‘L’状態の信号を出力する。

**【0075】**

波形A1に示すように、端子／CE1に入力されている信号が‘H’状態に遷移すると、PSRAMは、スタンバイ状態となる。このとき、ノードND1の信号状態は、波形A4に示すように、‘H’状態に遷移する。なお、ノードND1の信号の‘H’状態への遷移は、バッファ回路11a、OR回路Z1の遅延により、端子／CE1に入力されている信号の状態遷移から遅れる。

**【0076】**

ノードND1が‘H’状態より、バッファ回路11cのトランジスタQ1はオフし、トランジスタQ4はオンする。よって、バッファ回路11cは、波形A5に示すように、‘H’状態の信号を出力する。なお、バッファ回路11cから出力される信号の状態遷移は、バッファ回路11c自身による遅延により、ノードND1に生じている信号の状態遷移から遅れる。

**【0077】**

ノードND1が‘H’状態より、バッファ回路11dのトランジスタQ9はオフし、トランジスタQ12はオンする。よって、バッファ回路11dは、波形A6に示すように、‘L’状態の信号を出力する。

**【0078】**

波形A1に示すように、端子／CE1に入力されている信号が‘H’状態から  
‘L’状態に遷移すると、PSRAMは、非スタンバイ状態となる。このとき、ノードND1の信号状態は、波形A4に示すように、‘L’状態に遷移する。な

お、ノードND 1の信号の‘L’状態への遷移は、バッファ回路1 1 a、OR回路Z 1の遅延により、端子／CE 1に入力されている信号の状態遷移から遅れる。

#### 【0 0 7 9】

ノードND 1が‘L’状態より、バッファ回路1 1 cのトランジスタQ 1はオンし、トランジスタQ 4はオフする。よって、バッファ回路1 1 cは、端子／WEに入力されている信号を出力する。波形A 3に示すように、端子／WEには、‘L’状態の信号が入力されているので、バッファ回路1 1 cは、波形A 5に示すように、‘L’状態の信号を出力する。なお、バッファ回路1 1 cから出力される信号の状態遷移は、バッファ回路1 1 c自身による遅延により、ノードND 1に生じている信号の状態遷移から遅れる。

#### 【0 0 8 0】

ノードND 1が‘L’状態より、バッファ回路1 1 dのトランジスタQ 9はオンし、トランジスタQ 1 2はオフする。よって、バッファ回路1 1 dは、端子／WEに入力されている信号を出力する。波形A 3に示すように、端子／WEには、‘L’状態の信号が入力されているので、バッファ回路1 1 dは、波形A 6に示すように、‘L’状態の信号を出力する。

#### 【0 0 8 1】

以上から、スタンバイ状態から非スタンバイ状態に遷移したとき（端子／CE 1に入力されている信号が‘H’状態から‘L’状態に遷移したとき）、端子／WEにライト信号（‘L’状態）が入力されているにもかかわらず、バッファ回路1 1 cは、バッファ回路1 1 a、OR回路Z 1、及びバッファ回路1 1 c自身の遅延によって、‘H’状態の信号（リード信号）をコントロール回路4 0に出力している。そのため、外部ではライト動作をしているにもかかわらず、メモリコア5 0からはデータが出力される。しかし、バッファ回路1 1 dによって、バッファ回路1 1 cから出力されている信号と反転した‘L’状態（ライト信号）の信号がデータ出力コントロール回路3 0に出力されている。そのため、メモリコア5 0から出力されるリードデータは、データ出力コントロール回路3 0によって外部に（データ端子群T 3）出力されず、これによりバスファイトが防止さ

れる。

#### 【0082】

図6は、リード時におけるPSRAM内部のタイミングチャートを示した図である。波形B1は、端子／CE1に入力されている信号波形を示す。波形B2は、端子CE2に入力されている信号波形を示す。波形B3は、端子／WEに入力されている信号波形を示す。波形B4は、ノードND1の信号状態を示す。波形B5は、バッファ回路11cから出力される信号波形を示す。波形B6は、バッファ回路11dから出力される信号波形を示す。

#### 【0083】

波形B1、B2に示すように、端子／CE1に‘L’状態の信号、端子CE2に‘H’状態の信号が入力されていると、PSRAMは、非スタンバイ状態である。このとき、ノードND1の信号状態は、波形A4に示すように、‘L’状態となる。

#### 【0084】

ノードND1が‘L’状態より、バッファ回路11cのトランジスタQ1はオンし、トランジスタQ4はオフする。よって、バッファ回路11cは、端子／WEに入力される信号状態を出力する。波形B3に示すように、端子／WEには、‘H’状態の信号が入力されているので、バッファ回路11cは、波形B5に示すように、‘H’状態の信号を出力する。

#### 【0085】

ノードND1が‘L’状態より、バッファ回路11dのトランジスタQ9はオンし、トランジスタQ12はオフする。よって、バッファ回路11dは、端子／WEに入力される信号状態を出力する。波形B3に示すように、端子／WEには、‘H’状態の信号が入力されているので、バッファ回路11dは、波形B6に示すように、‘H’状態の信号を出力する。

#### 【0086】

波形B1に示すように、端子／CE1に入力されている信号が‘H’状態に遷移すると、PSRAMは、スタンバイ状態となる。このとき、ノードND1の信号状態は、波形B4に示すように、‘H’状態に遷移する。なお、ノードND1

の信号の‘H’状態への遷移は、バッファ回路11a、OR回路Z1の遅延により、端子／CE1に入力されている信号の状態遷移から遅れる。

【0087】

ノードND1が‘H’状態より、バッファ回路11cのトランジスタQ1はオフし、トランジスタQ4はオンする。よって、バッファ回路11cは、波形B5に示すように、‘H’状態の信号を出力する。

【0088】

ノードND1が‘H’状態より、バッファ回路11dのトランジスタQ9はオフし、トランジスタQ12はオンする。よって、バッファ回路11dは、波形B6に示すように、‘L’状態の信号を出力する。なお、バッファ回路11dから出力される信号の状態遷移は、バッファ回路11d自身の遅延により、ノードND1に生じている信号の状態遷移から遅れる。

【0089】

波形B1に示すように、端子／CE1に入力されている信号が‘H’状態から‘L’状態に遷移すると、PSRAMは、非スタンバイ状態となる。このとき、ノードND1の信号状態は、波形B4に示すように、‘L’状態に遷移する。なお、ノードND1の信号の‘L’状態への遷移は、バッファ回路11a、OR回路Z1の遅延により、端子／CE1に入力されている信号の状態遷移より遅れる。

【0090】

ノードND1が‘L’状態より、バッファ回路11cのトランジスタQ1はオンし、トランジスタQ4はオフする。よって、バッファ回路11cは、端子／WEに入力されている信号を出力する。波形B3に示すように、端子／WEには、‘H’状態の信号が入力されているので、バッファ回路11cは、波形B5に示すように、‘H’状態の信号を出力する。

【0091】

ノードND1が‘L’状態より、バッファ回路11dのトランジスタQ9はオンし、トランジスタQ12はオフする。よって、バッファ回路11dは、端子／WEに入力されている信号を出力する。波形B3に示すように、端子／WEには



、‘H’状態の信号が入力されているので、バッファ回路 1 1 d は、波形 B 6 に示すように、‘H’状態の信号を出力する。

#### 【0 0 9 2】

以上から、スタンバイ状態から非スタンバイ状態に遷移したとき（端子／C E 1 に入力されている信号が‘H’状態から‘L’状態に遷移したとき）、バッファ回路 1 1 c は、端子／W E に入力されているリード信号（‘H’状態）と同じ‘H’状態の信号をコントロール回路 4 0 に出力している。このとき、バッファ回路 1 1 d は、バッファ回路 1 1 c から出力されている信号と反転した‘L’状態（ライト信号）の信号をデータ出力コントロール回路 3 0 に出力する。この場合は、データ出力コントロール回路 3 0 は、ライト動作（データ端子群 T 3 からメモリコア 5 0 への入力）を行い、外部ではリード動作が行われているので、バスファイトが生じることがない。

#### 【0 0 9 3】

ところで、特開平 1 1 - 3 1 7 0 7 6 号公報で示される入力回路及び該入力回路を有する半導体集積回路では、共通のクロックを入力して内部制御信号を出力する 2 つのバッファ回路が、動作モードによって切替えて使用される。ある動作モードでは、一方のバッファ回路が内部制御信号を出力し、別の動作モードでは、他方のバッファ回路が内部制御信号を出力し、同時に活性化（使用）されることはない。上記のバッファ回路 1 1 c, 1 1 d は、共通のリード・ライト信号を入力するという点では、上記の入力回路及び該入力回路を有する半導体集積回路と同様であるが、一定状態の信号を出力するのに、O R 回路 Z 1 から出力される信号によって同時に活性化され、又は一定状態の信号を出力停止するのに同時に非活性化される点が異なっている。

#### 【0 0 9 4】

また、バッファ回路 1 1 c とバッファ回路 1 1 d は、隣接するように、又は同一のバッファ回路として形成される。バッファ回路 1 1 c とバッファ回路 1 1 d は、端子／W E から共通の信号を入力するので、隣接して形成することにより、配線の引き回しを短くすることができる。

#### 【0 0 9 5】

**【発明の効果】**

以上説明したように本発明では、メモリコアのデータの読み出し及び書き込みを制御するコントロール回路に入力されるロジック信号を反転した反転信号によって、データ出力コントロール回路を制御し、外部とのデータの入出力を制御するようにした。これにより、外部からの書き込みデータと、メモリコアからの読み出しデータとのデータ衝突を防止することができる。

**【図面の簡単な説明】****【図 1】**

本発明の原理図である。

**【図 2】**

本発明の実施の形態に係る P S R A M の回路構成図である。

**【図 3】**

図 2 の制御端子群、アドレス端子群、及びバッファ回路部の一部詳細を示した回路図である。

**【図 4】**

バッファ回路の詳細を示した回路図である。

**【図 5】**

ライト時における P S R A M 内部のタイミングチャートを示した図である。

**【図 6】**

リード時における P S R A M 内部のタイミングチャートを示した図である。

**【図 7】**

従来の P S R A M の回路構成図である。

**【図 8】**

バッファ回路の詳細を示した回路図である。

**【図 9】**

P S R A M 内部のタイミングチャートを示した図である。

**【符号の説明】**

- 1 第 1 のバッファ回路
- 2 第 2 のバッファ回路

## 3 第3のバッファ回路

1 0, 2 0 バッファ回路部

1 1 a ~ 1 1 n, 2 1 a ~ 2 1 n バッファ回路

6, 3 0 データ出力コントロール回路

4, 4 0 コントロール回路

5, 5 0 メモリコア

Q 1 ~ Q 1 4 トランジスタ

Z 1 O R 回路

T 1 制御端子群

T 2 アドレス端子群

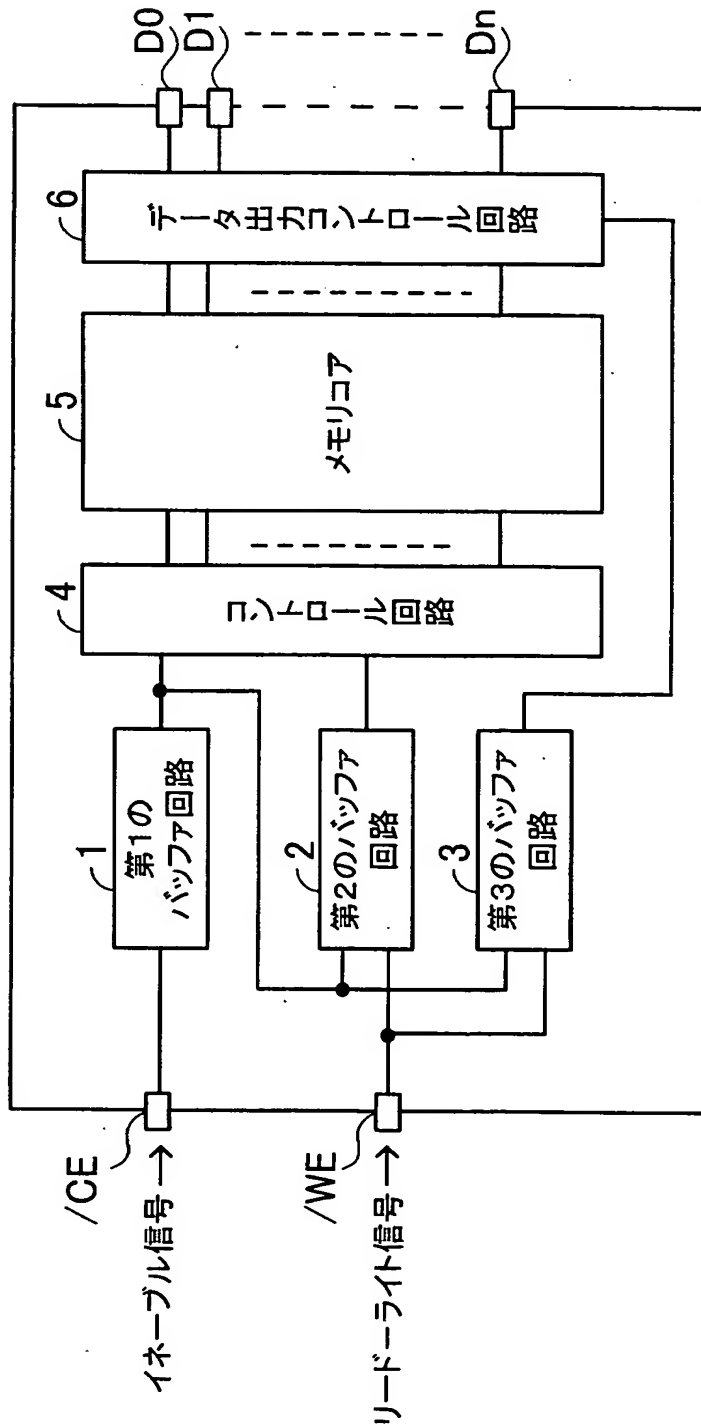
T 3 データ端子群

/ C E, D 0 ~ D n, / C E 1, C E 2, / W E, / L B, A 0 ~ A n 端子

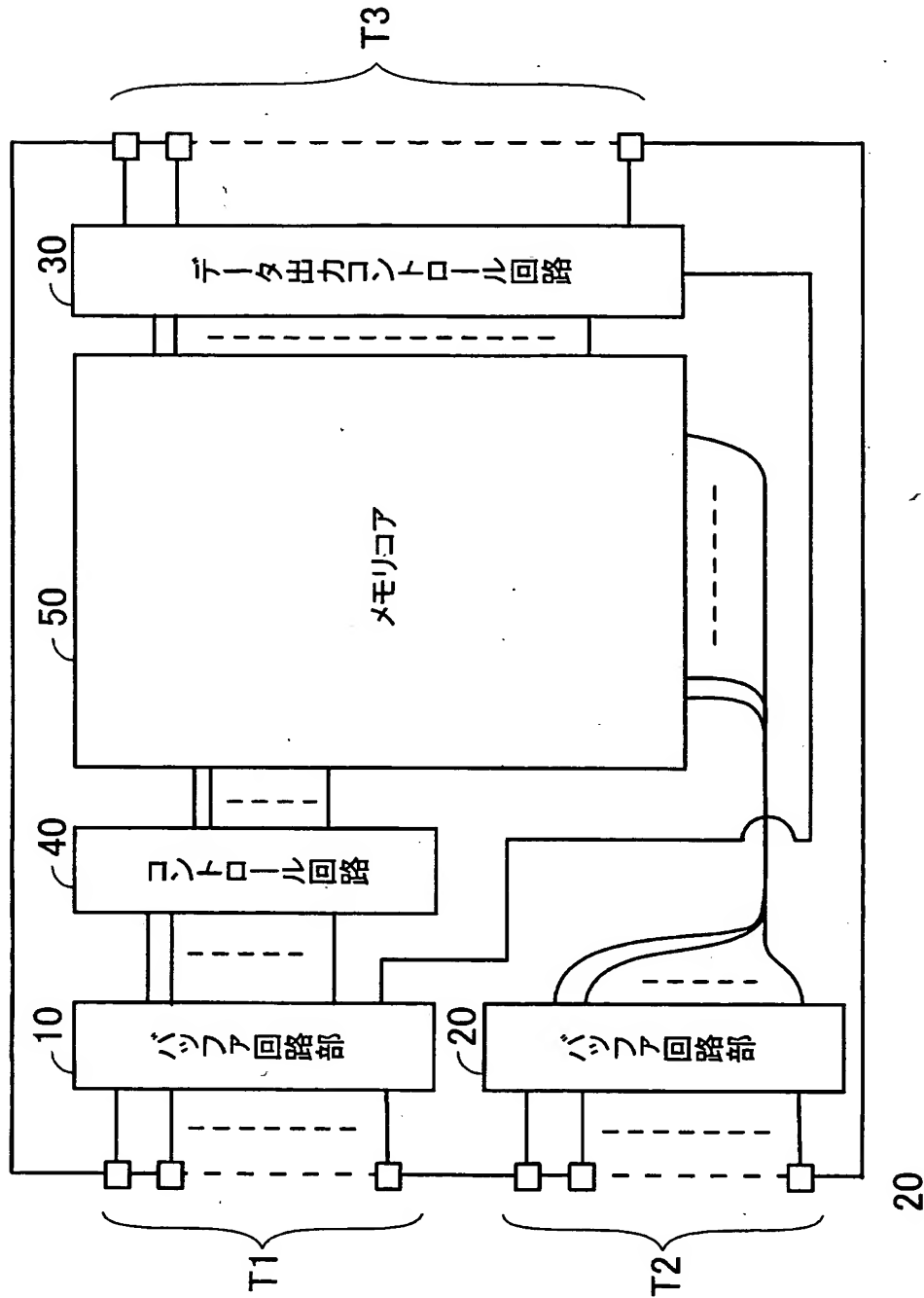
N D 1 ノード

【書類名】

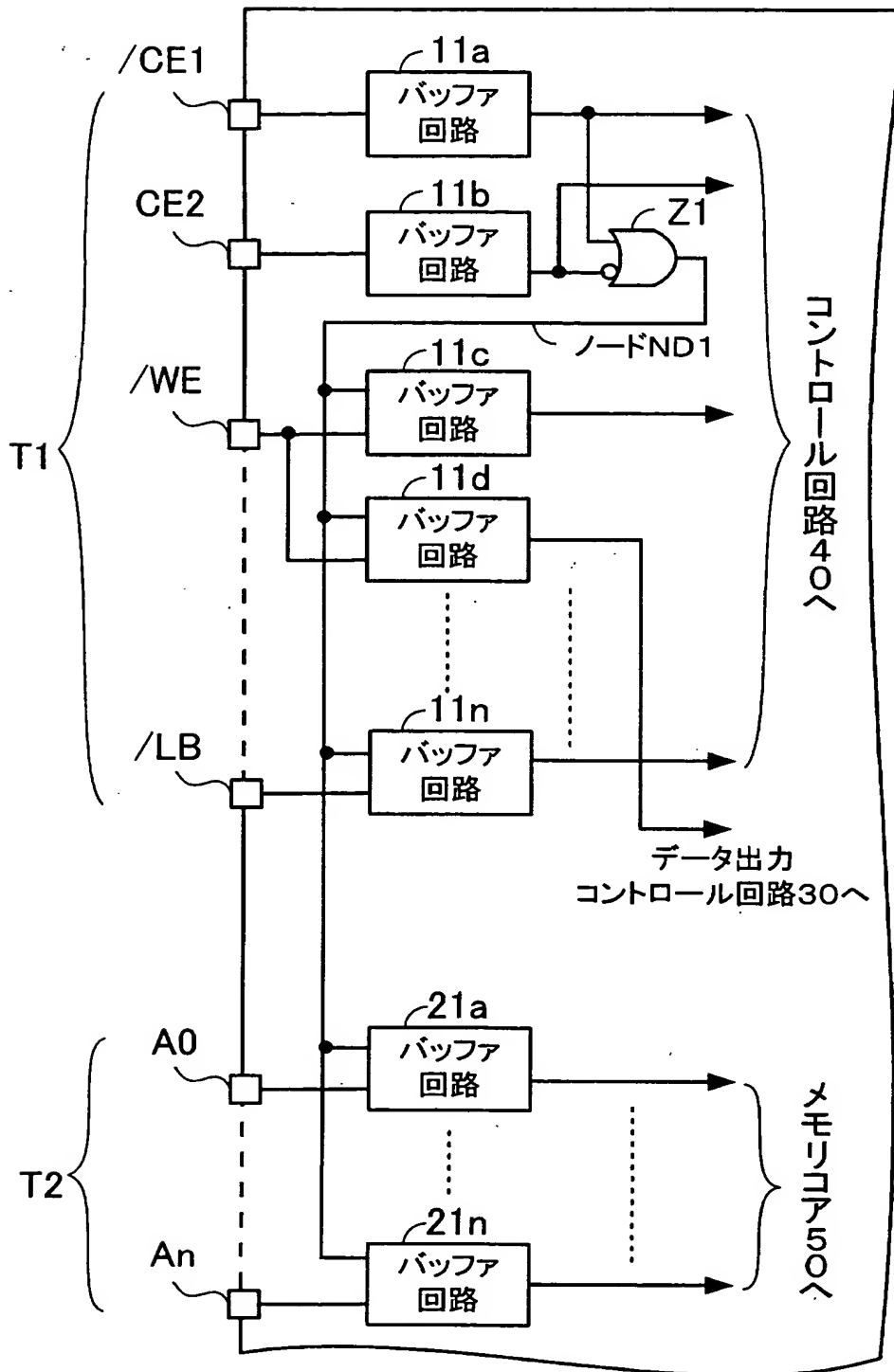
【図 1】



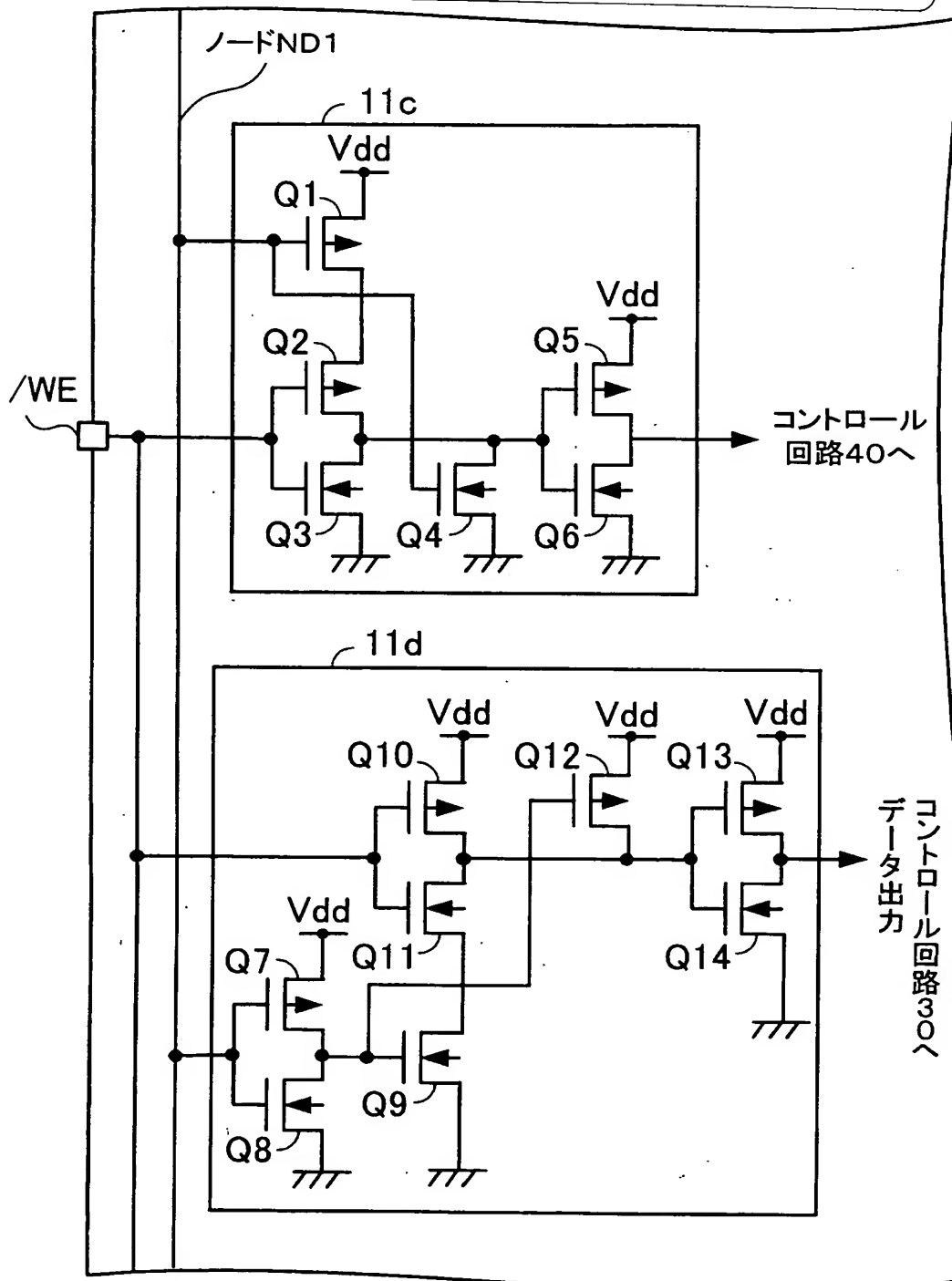
【図 2】



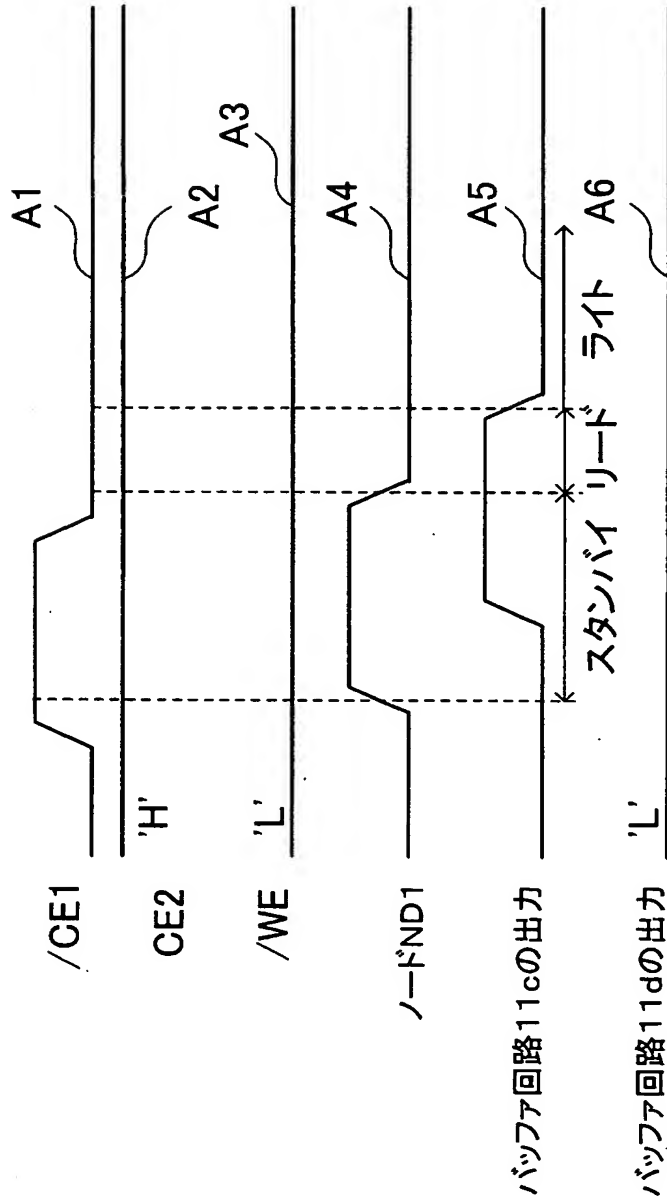
【図 3】



【図 4】

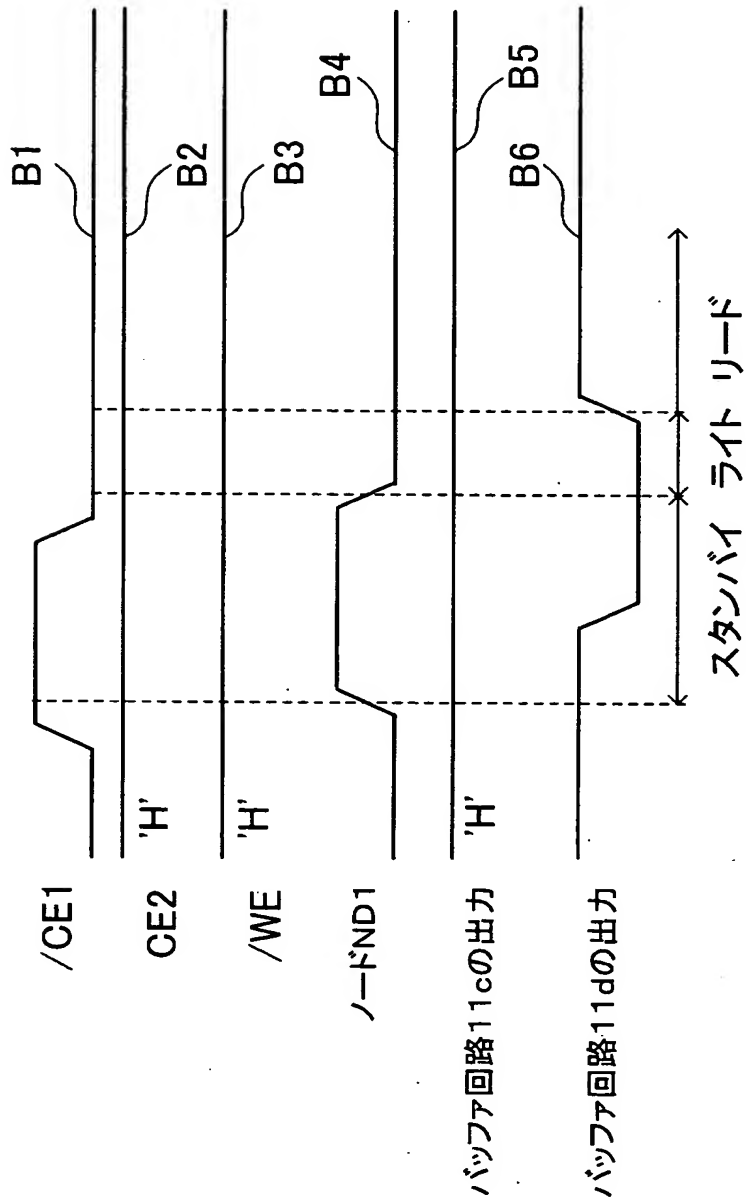


【図 5】

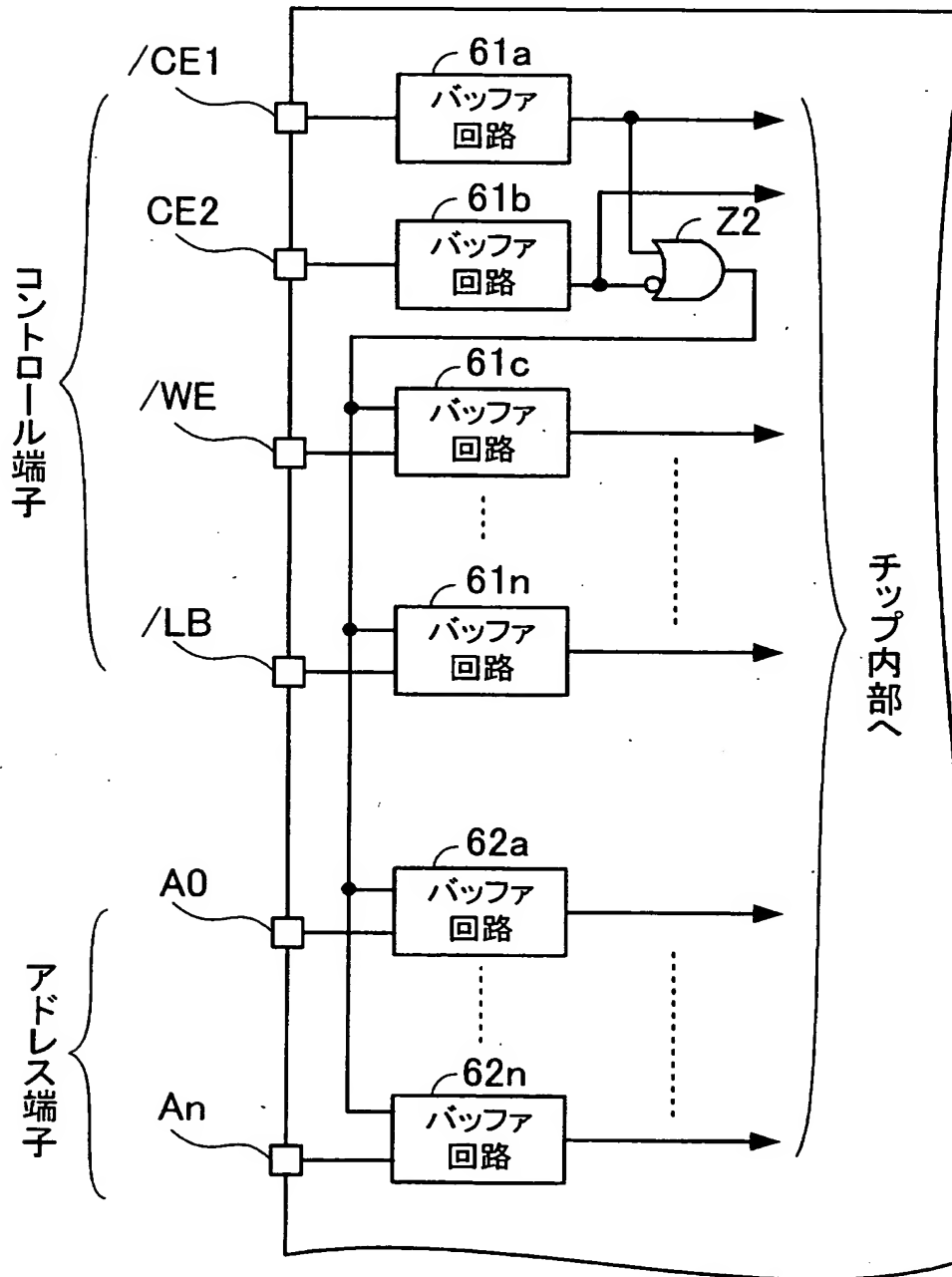




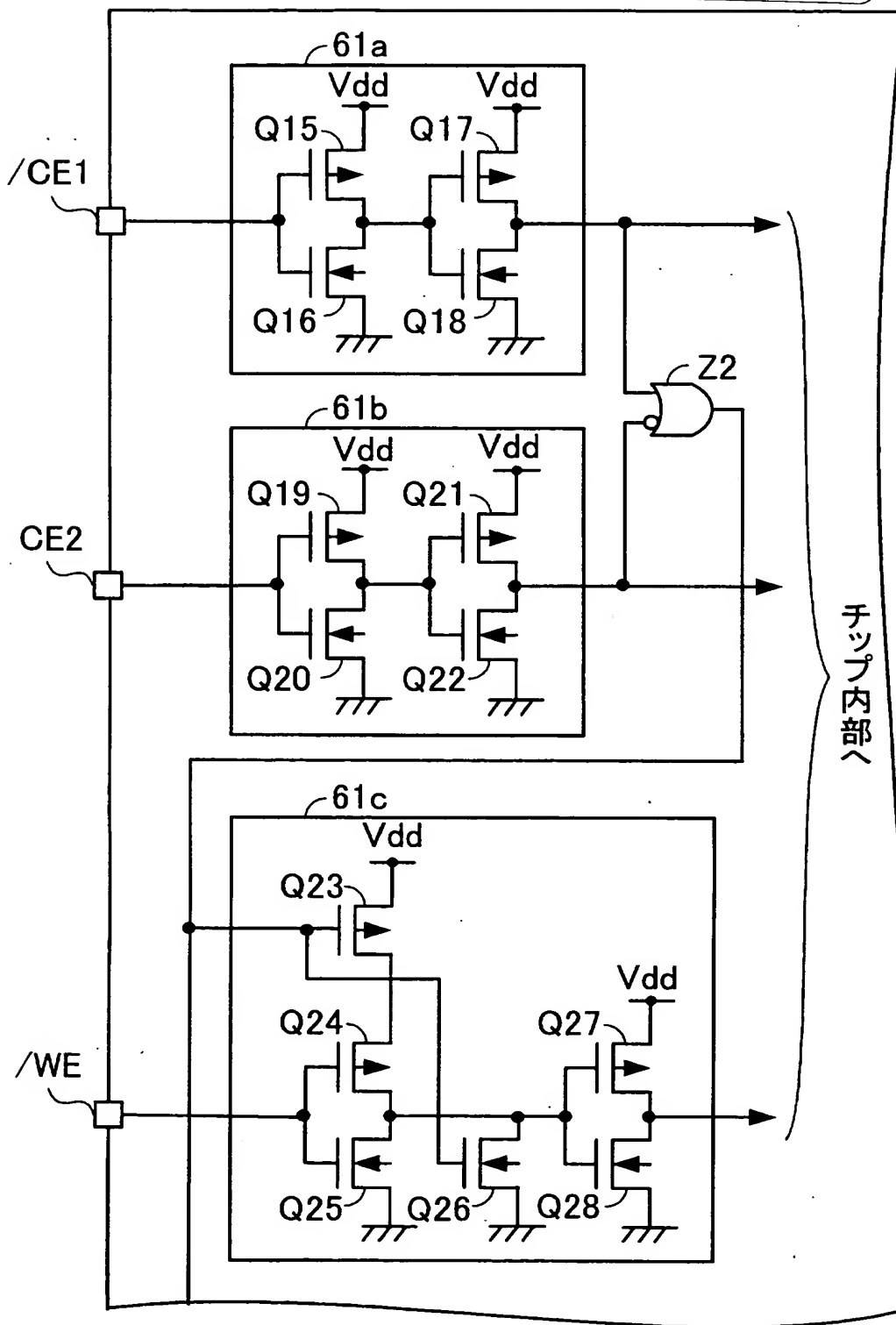
【図 6】



【図 7】



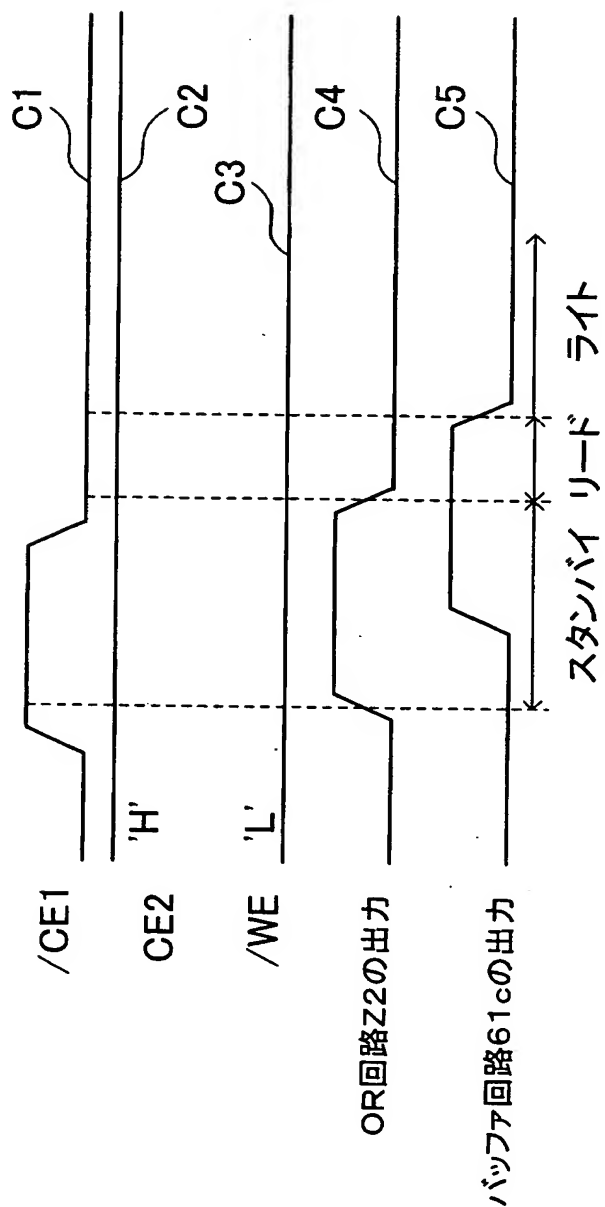
【図 8】



【図 9】

ARENT FOX KINTNER PLOTKIN & KAHN, PLLC  
1050 Connecticut Avenue, N.W., Suite 400  
Washington, D.C. 20036-5339  
Docket No. 107337-00054  
Serial No.: New Application Filed: November 3, 2003  
Inventor: ETO et al

ページ: 9/E



【書類名】 要約書

【要約】

【課題】 データを動的に保持するメモリコアを有する半導体記憶装置において、スタンバイ状態から非スタンバイ状態に遷移したときのデータ衝突を防止する。

【解決手段】 第1のバッファ回路1は、スタンバイ状態及び非スタンバイ状態を制御するイネーブル信号を入力する。第2のバッファ回路2は、イネーブル信号に応じて、所定のロジック信号及びメモリコア5のデータの読み出し及び書き込みを制御するリードーライト信号を出力する。第3のバッファ回路3は、イネーブル信号に応じて、ロジックを反転した反転信号及びリードーライト信号を出力する。コントロール回路4は、第2のバッファ回路2から出力されるリードーライト信号によって、データの読み出し及び書き込みを制御する。データ出力コントロール回路6は、第3のバッファ回路3から出力される反転信号及びリードーライト信号によって、データの外部との入出力を制御する。

【選択図】 図1

特願 2002-321325

出願人履歴情報

識別番号

[000005223]

1. 変更年月日

1990年 8月24日

[変更理由]

新規登録

住 所

神奈川県川崎市中原区上小田中1015番地

氏 名

富士通株式会社

2. 変更年月日

1996年 3月26日

[変更理由]

住所変更

住 所

神奈川県川崎市中原区上小田中4丁目1番1号

氏 名

富士通株式会社